

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094045

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 21/60

H01L 23/12

(21)Application number : 11-269388

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 22.09.1999

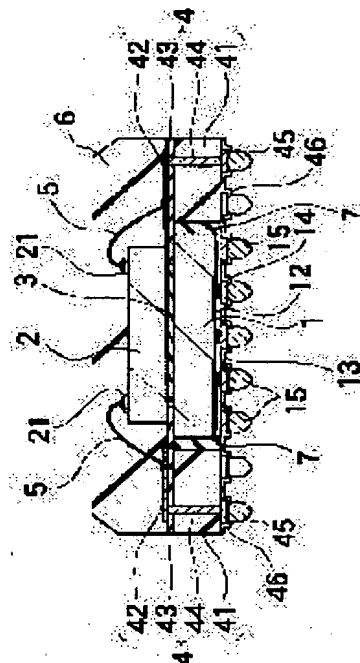
(72)Inventor : KOMIYAMA TADASHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device for thinning a package, while keeping high reliability for each laminated IC chip in a stacked-type CSP.

**SOLUTION:** An IC chip 1 is in a flip-chip form. A main surface side is exposed to the outside as a mounting surface, and a pad 12 is provided with an external terminal 13. The IC chip 2 in a sealing member 6 is laminated on the reverse side of the IC chip 1 via an insulation adhesive member 3. A wiring substrate 4 related to the IC chip 2 is provided around the IC chip 1. The wiring substrate 4 includes a base material 41 and an insulation film 43 which accompany a conductive pattern 42 at the upper portion. The prescribed part of the conductive pattern 42 is connected to each of the pad 21 of the IC chip 2, for example, by a bonding wire 5. An external terminal 45 of the IC chip 2 is connected to a plurality of vias 44 of the wiring substrate 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-94045

(P2001-94045A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-コード (参考)
H 0 1 L 25/065		H 0 1 L 21/60	3 1 1 S 5 F 0 4 4
25/07		25/08	B
25/18		23/12	F
21/60	3 1 1		
23/12			

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平11-269388

(22) 出願日 平成11年9月22日 (1999.9.22)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 込山 忠

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

Fターム (参考) 5F044 AA05 JJ03 KK01 LL09 LL11

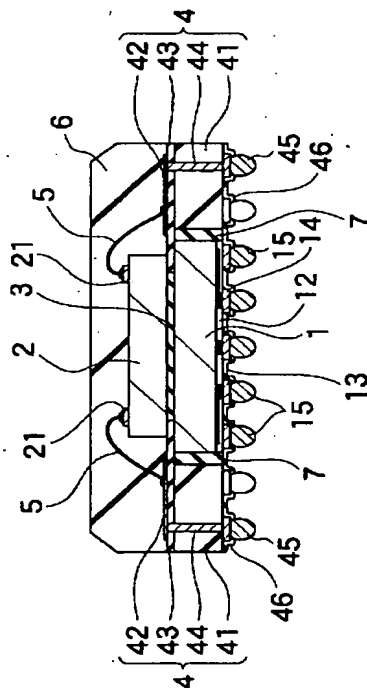
RR01 RR18

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 スタックタイプのCSPにおいて、積層する各ICチップについて高信頼性を保ちつつパッケージの薄型化が達成される半導体装置を提供する。

【解決手段】 ICチップ1はフリップチップ形態である。主表面側を実装面として外部に露出させ、パッド12に外部端子13を配備している。封止部材6内のICチップ2は、ICチップ1の裏面上に絶縁性の接着部材3を介して積層されている。ICチップ1の周辺にはICチップ2に関する配線基板4が設けられている。配線基板4は、ベース基材41とその上部に導電パターン42を伴う絶縁フィルム43を含む。導電パターン42の所定箇所は、ICチップ2のパッド21各々と例えばボンディングワイヤ5により接続されている。ICチップ2の外部端子45は配線基板4の複数のビア44につながる。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 電極パッドが設けられる主表面側を実装面として外部に露出させ外部端子を配した第1のICチップと、

前記第1のICチップの主表面に対する裏面に絶縁部材を介して積層される第2のICチップと、

前記第1のICチップの周辺に設けられた前記第2のICチップに関する配線基板と、

前記配線基板の実装面側に設けられた前記第2のICチップの外部端子と、

前記第2のICチップ及びその前記配線基板との電氣的接続構成を封止する封止部材と、を具備したことを特徴とする半導体装置。

【請求項2】 前記絶縁部材は、接着剤を含むことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記絶縁部材は、前記配線基板の所定領域に前記第2のICチップと前記配線基板との電氣的接続を担う導電パターンを有するフィルム状の薄膜を含むことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記絶縁部材は、前記配線基板の所定領域に前記第2のICチップと前記配線基板との電氣的接続を担う導電パターンを有するフィルム状の薄膜を含み、少なくとも前記第1のICチップの裏面周辺領域に延在していることを特徴とする請求項1または2に記載の半導体装置。

【請求項5】 電極パッドが設けられる主表面側を実装面として外部に露出させ外部端子を配した第1のICチップと、

前記第1のICチップの主表面に対する裏面に絶縁部材を介して積層される第2のICチップと、

前記第1のICチップの周辺に設けられ前記第2のICチップとの電氣的接続構成を有する配線基板と、

前記配線基板の実装面側に設けられた前記第2のICチップの外部端子と、を具備したことを特徴とする半導体装置。

【請求項6】 少なくとも前記第2のICチップとの電氣的接続構成は絶縁性の保護部材に覆われることを特徴とする請求項5記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、特にスタックタイプのCSP (Chip Size Package) に適用され、積層ICの薄形パッケージ化を要する半導体装置に関する。

## 【0002】

【従来の技術】半導体集積回路の高集積化、コンパクト化に伴い、半導体パッケージも小型化が要求される。その中でCSP (Chip Size Package) は、実装面積が小さくて上記要求を満足させる有用な構造である。

【0003】スタックタイプのCSPも高集積ICと

して注目される構成の一つである。図7は、従来におけるスタックタイプのCSPの構成を示す断面図である。チップサイズに近いベース基材100の主表面上には、それぞれ絶縁性の接着部材99を介して2個のICチップ101、102が積層された形で搭載されている。ベース基材100の主表面は導電パターン103及びビア104が複数設けられている。ベース基材100の裏面には各ビア104と接続されるはんだボール等の外部端子105が設けられている。

10 【0004】ベース基材100の主表面側において、積層ICチップ101、102の電極パッド111、112と、ベース基材100とはボンディングワイヤ (金線) 104により適当な電氣的接続がなされている。すなわち、ICチップ102は、ICチップ101の周辺に設けられる電極パッド111に重ならない大きさを有し、第1のICチップ上に接着部材99を介して固着されている。これら積層ICチップ101、102及び電氣的接続構成は封止樹脂106により封止され、パッケージ化されている。

## 20 【0005】

【発明が解決しようとする課題】従来、上記したようにスタックタイプのCSPでは、実装面を形成するベース基材100、第1のICチップ101、第2のICチップ102及びこれらを固着する接着部材99の積層構造である。半導体パッケージの厚みはこの積層構造に依存して与えられる。

【0006】しかしながら、上記半導体パッケージの厚みが、携帯機器等、実装する上で重要になっており、小型化、薄型化が望まれている。この場合、ベース基材100の縮小化及び薄膜化、各ICチップ101、102を信頼性の範囲内で削る等、全体のパッケージを薄形化する対策がとられている。

【0007】ところが、ベース基材100は両ICチップ101、102に関する導電パターンの複雑さゆえ縮小化、薄型化は高い技術を必要とする。また、ICチップを削って薄くすることから、ICチップが破損しやすくなる。これにより、パッケージ前の製造工程の取り扱いから難しくなり、設備も変更を要する。

40 【0008】しかしながら、このような方策をとっても、パッケージの薄型化はそれほど顕著な効果も出せずに限界にきてしまう。すなわち、製造工程上の信頼性低下、コスト高等リスクが大きい割にはスタックCSPに関し、パッケージの小型化、薄型化が進んでいないのが現状である。

【0009】本発明は上記事情を考慮してなされたもので、その課題は、スタックタイプのCSPにおけるパッケージ形態の変更により、積層する各ICチップについて高信頼性を保ちつつパッケージの小型化、薄型化が達成される半導体装置を提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体装置は、電極パッドが設けられる主表面側を実装面として外部に露出させ外部端子を配した第1のICチップと、前記第1のICチップの主表面に対する裏面に絶縁部材を介して積層される第2のICチップと、前記第1のICチップの周辺に設けられた前記第2のICチップに関する配線基板と、前記配線基板の実装面側に設けられた前記第2のICチップの外部端子と、前記第2のICチップ及びその前記配線基板との電気的接続構成を封止する封止部材とを具備したことを特徴とする。

【0011】本発明によれば、上記第1のICチップは封止されずに上記第2のICチップの封止のみとなる。配線基板は第2のICチップに関する配線だけを考慮すればよい。上記封止部材は薄い形成となり、かつ上記配線基板は第1のICチップと同様の厚みが得られ強度的にも問題ない。また、最低限、第2のICチップとの電気的接続構成を保護部材で覆うことにより、第2のICチップ全体の封止も必ずしも重要でない構成とすることが可能である。

【0012】

【発明の実施の形態】図1は、本発明の第1実施形態に係るスタックタイプのCSPを示す断面図である。ICチップ1は、フリップチップ形態（フェイスダウン形態）であり、電極パッドが設けられる主表面側を実装面として外部に露出させてある。すなわち、配線領域12を介して絶縁膜（ソルダーレジスト）13上にパッド14が設けられ、各パッド14に外部端子15が設けられている。また、ICチップ2は、ICチップ1の裏面上に絶縁性の接着部材3を介して積層されている。

【0013】上記ICチップ1の周辺には、ICチップ2に関する配線基板4が設けられている。配線基板4は、ベース基材41とその上部に導電パターン42を伴う絶縁フィルム43を含む。具体的には絶縁フィルム43が少なくともICチップ1の裏面周辺領域にまで延在して固着されている。導電パターン42の所定箇所は、ICチップ2主表面上のパッド21各々と例えばボンディングワイヤ5により接続されている。

【0014】また、配線基板4は複数のビア44を伴う。配線基板4の実装面側にはICチップ2の外部端子45が設けられている。すなわち、配線基板4の導電パターン42はビア44を介して外部端子45とつながっている。外部端子45に接続されるパッド以外は絶縁膜（ソルダーレジスト）46で覆われている。

【0015】封止部材6は、上記ICチップ2及びボンディングワイヤ5を含むICチップ2と配線基板4との電気的接続面側を気密封止している。また、ICチップ1と配線基板4との間は絶縁部材7で充填されている。

【0016】上記構成によれば、積層チップのうち、ICチップ1は封止されずに封止部材6下部の中央に設けられる。これにより、上記封止部材6は従来構成より格

段に薄い形成となり、気密封止に高信頼性をもたらす。封止部材材料も節約でき、経済的である。

【0017】さらに、配線基板4の厚さは、ICチップ1の厚さに依存し、十分な強度を持つようになる。かつ、総体的な装置の厚みに影響しない。また、配線基板4は、ICチップ2に関する配線だけを考慮すればよい。これにより、配線基板4における配線の自由度が増すと共に電気的特性の向上に寄与する。また、ボンディングワイヤ5も従来の積層ICとは異なり、低く、短く張ることができるので、信頼性に富み、電気的特性の向上が図れる。

【0018】なお、図1の実施形態では、ICチップ1と配線基板4との間は絶縁部材7で充填されていたが、ICチップ1と配線基板4とが隙間なく構成され、絶縁部材7がなくてもよい。このとき、絶縁部材7は極薄な接着剤として存在するようにしてもよい。

【0019】また、ICチップ2は、従来構成のようにICチップ1より小さくしなければならないということもない。ICチップ1のパッドは実装面側にあるからである。また、絶縁フィルム43はICチップ1の裏面周辺領域にのみ延在し、ICチップ1の裏面中央付近は絶縁性ののみ設けられて固着されていたが、これに限らない。絶縁フィルム43はICチップ1の裏面中央付近にまで延在してもよい。

【0020】例えば、図2(a)、(b)に示すような絶縁フィルム43を構成してもよい。破線は各ICチップ1、2を示している。すなわち、絶縁フィルム43において、ICチップ2が固着される領域に開孔部431（図2(a)参照）、または432（図2(b)参照）などを設ける。これにより、図1に示す接着部材3は開孔部431または432を介してICチップ1と2を接着する。この結果、ICチップ1と2と絶縁フィルム43は、強固な固着状態を実現する。

【0021】図3は、本発明の第2実施形態に係るスタックタイプのCSPを示す断面図である。第1実施形態と同様の箇所には同一の符号を付す。図1の第1実施形態と比べて異なる構成は、ICチップ2もフリップチップ形態（フェイスダウン形態）としたことである。

【0022】フリップチップ形態のICチップ1の裏面上は図示しない接着部材を介し、配線基板4に関する、導電パターン47の付いた絶縁フィルム48が形成されている。導電パターン47の所定箇所は、ICチップ2主表面の配線領域22を経て設けられた突起電極23各々と接続されている。このICチップ2と絶縁フィルム48の対向領域は絶縁性の保護部材8が設けられている。

【0023】また、配線基板4は前記第1実施形態と同様に複数のビア44を伴う。配線基板4の実装面側にはICチップ2の外部端子45が設けられている。すなわち、導電パターン47はビア44を介して外部端子4

5とつながっている。外部端子45に接続されるパッド以外は絶縁膜（ソルダーレジスト）46で覆われている。

【0024】封止部材6は、上記第1実施形態と同様にICチップ2及び配線基板4との電気的接続面側を気密封止している。また、ICチップ1と配線基板4との間は絶縁部材7で充填されている。例えば、図示しないが、ICチップ1と配線基板4との隙間がほとんどなく、絶縁部材7は極薄な接着剤として存在するようにしてもよい。

【0025】上記構成によっても、第1実施形態と同様に、積層チップのうち、ICチップ1は封止されずに封止部材6下部の中央に設けられる。配線基板4の厚さは、ICチップ1の厚さに依存し、十分な強度を持つようになる。かつ、総体的な装置の厚みに影響しない。配線基板4は、ICチップ2に関する配線だけを考慮すればよく、配線の自由度が増すと共に電気的特性の向上に寄与する。

【0026】また、ICチップ2は、従来構成のようにICチップ1より小さくしなければならないということも20ない。しかも、樹脂封止されるICチップ2は、フェイスダウン形態であり、図1の構成におけるボンディングワイヤ5のループ高さの余裕を省いた封止が可能である。これにより、上記封止部材6は第1実施形態に比べてさらに薄い形成が期待できる。

【0027】また、ICチップ2をフェイスダウン形態としたことにより、例えば封止部材6を滴下方式の気密封止構成に変更したり、または、配線基板4上は単に保護膜を被覆する構成としてもよい。これにより、軽量化にも寄与する。

【0028】図4は、本発明の第3実施形態に係るスタックタイプのCSPを示す断面図である。第2実施形態と同様の箇所には同一の符号を付す。図2の第2実施形態と比べて異なる構成は、フリップチップ形態（フェイスダウン形態）のICチップ2が異方性導電膜（ACF（Anisotropic Conductive Film））9によって導電パターン47と接続されていることである。

【0029】フリップチップ形態のICチップ1の裏面上は図示しない接着部材を介し、配線基板4に関する、導電パターン47の付いた絶縁フィルム48が形成され40ている。導電パターン47の所定箇所には、突起電極49が設けられており、ICチップ2主表面のパッドに形成された突起電極24各々とACF9により接続されている。

【0030】ACF9は、フィルム状のエポキシ樹脂中に導電性粒子91が分散されており、導電性粒子91を挟み込む所定の導通部分だけその間隙が導電性粒子91の粒形以下になることで導通状態が得られ、他は絶縁状態となる特性を有する。すなわち、ACF9は、ICチップ2と絶縁フィルム48の対向領域に設けられる。絶

縁フィルム48上の導電パターン47に形成された突起電極49とICチップ2の突起電極24とがそれぞれ位置合わせされ、図示しない圧着ツールによる加圧／加熱工程を経る。これにより、ICチップ2と導電パターン47の各電極（24と49）どうしの接着部分はACF9中の導電性粒子91により良好な導電性を得る。

【0031】また、配線基板4は前記第1及び第2実施形態と同様に複数のビア44を伴う。配線基板4の実装面側にはICチップ2の外部端子45が設けられている。すなわち、導電パターン47はビア44を介して外部端子45とつながっている。外部端子45に接続されるパッド以外は絶縁膜（ソルダーレジスト）46で覆われている。

【0032】封止部材6は、上記第1及び第2実施形態と同様にICチップ2及び配線基板4との電気的接続面側を気密封止している。また、ICチップ1と配線基板4との間は絶縁部材7で充填されている。例えば、図示しないが、ICチップ1と配線基板4との隙間がほとんどなく、絶縁部材7は極薄な接着剤として存在するようにしてもよい。

【0033】上記構成によっても、第1及び第2実施形態と同様に、積層チップのうち、ICチップ1は封止されずに封止部材6下部の中央に設けられる。配線基板4の厚さは、ICチップ1の厚さに依存し、十分な強度を持つようになる。かつ、総体的な装置の厚みに影響しない。配線基板4は、ICチップ2に関する配線だけを考慮すればよく、配線の自由度が増すと共に電気的特性の向上に寄与する。

【0034】また、ICチップ2は、従来構成のようにICチップ1より小さくしなければならないということも30ない。しかも、樹脂封止されるICチップ2は、フェイスダウン形態であり、第2実施形態の構成と同様に、第1実施形態に比べてさらに薄い形成が期待できる。

【0035】また、ICチップ2をACFによる接続によってフェイスダウン形態としたことにより、例えば封止部材6を滴下方式の気密封止構成に変更したり、または、配線基板4上は単に保護膜を被覆する構成としてもよい。

【0036】図5は、第3の実施形態の変形例に係るスタックタイプのCSPを示す断面図である。第3実施形態と同様の箇所には同一の符号を付す。第3実施形態と同様にICチップ2が異方性導電膜（ACF（Anisotropic Conductive Film））9によって導電パターン47と接続されている。配線基板4上において、ICチップ2との電気的接続構成を絶縁性の保護部材61で覆っている。これにより、図3に示した封止部材6を不要としている。このような構成は、前記第2の実施形態で述べたように、前記図2の構成にも適用可能である。これにより、ICチップ2全体の封止は必ずしも重要でないものとなり、より軽量化に寄与する構成が実現できる。

【0037】図6は、第1ないし第3実施形態（変形例を含む）に係る半導体パッケージの実装面側の要部を示す平面図である。このように本発明の各実施形態によれば、従来構成とは異なり、積層ＩＣチップの下層側のＩＣチップ１は封止されずに封止部材６下部の中央に設けられて外部端子１５を配し、その周辺がＩＣチップ２に関する配線基板４に配列される外部端子４５である。

【0038】このような構成をとることにより、従来技術でのベース基材の薄膜化、各ＩＣチップを削る等のリスクを大幅に軽減し、半導体パッケージとしての厚さを薄くすることができる。加えて内部の配線の引き回し、外部端子への導出が簡素化される。仮に、積層ＩＣチップのパッド間の結合を要する場合は、実装基板上で配線すればよいのである。この結果、高信頼性を有しつつ、薄型でよりコンパクトな半導体パッケージが実現できる。

【0039】

【発明の効果】以上説明したように本発明によれば、スタックタイプのＣＳＰにおける積層ＩＣチップにおいて、下方のＩＣチップは封止せず、上方のＩＣチップの封止のみとなる。また、最低限、上方のＩＣチップと配線基板との電気的接続構成を保護部材で覆うことにより、上方のＩＣチップも、全体の封止は必ずしも必要のない構成とすることが可能である。これにより、軽量化に寄与する。

【0040】下方のＩＣチップ周辺に配した配線基板は上方のＩＣチップに関する配線だけを考慮すればよく、封止部材は薄い形成となり、かつ上記配線基板は下方のＩＣチップと同等の厚みが得られ強度的にも問題ない。この結果、積層する各ＩＣチップについて高信頼性を保ちつつパッケージの小型化、薄型化が達成される半導体装置を提供することができる。

【図面の簡単な説明】

【図１】本発明の第１実施形態に係るスタックタイプ

のＣＳＰを示す断面図である。

【図２】第１実施形態における一部の変形例に係る要部構成を示す平面図である。

【図３】本発明の第２実施形態に係るスタックタイプのＣＳＰを示す断面図である。

【図４】本発明の第３実施形態に係るスタックタイプのＣＳＰを示す断面図である。

【図５】本発明の第３実施形態の変形例に係るスタックタイプのＣＳＰを示す断面図である。

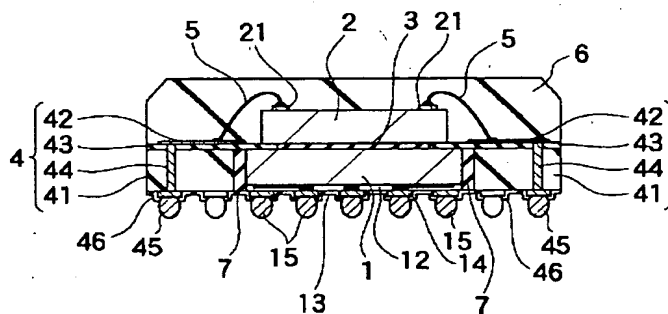
【図６】第１実施形態ないし第３実施形態（変形例含む）に係る半導体パッケージの実装面側の要部を示す平面図である。

【図７】従来におけるスタックタイプのＣＳＰの構成を示す断面図である。

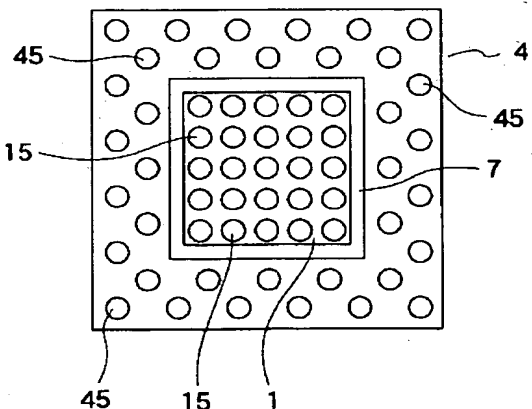
【符号の説明】

- １、２…ＩＣチップ
- １１、１４、２１…パッド
- １２、２２…配線領域
- １３、４６…絶縁膜
- １５…外部端子
- １７…絶縁部材
- ２３、２４、４９…突起電極
- ３…接着部材
- ４…配線基板
- ４１…ベース基材
- ４２、４７…導電パターン
- ４３、４８…絶縁フィルム
- ４４…ビア
- ４５…外部端子
- ５…ボンディングワイヤ
- ６…封止部材
- ６１、８…保護部材
- ９…ＡＣＦ（異方性導電膜）
- ９１…導電性粒子

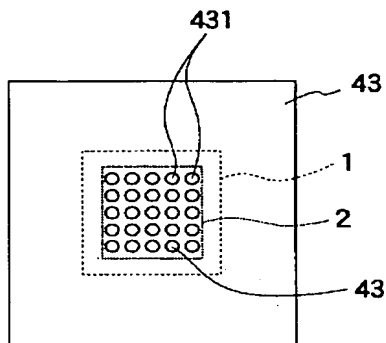
【図１】



【図６】

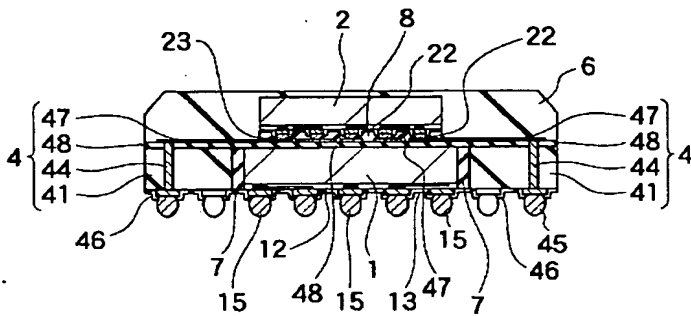


【図2】

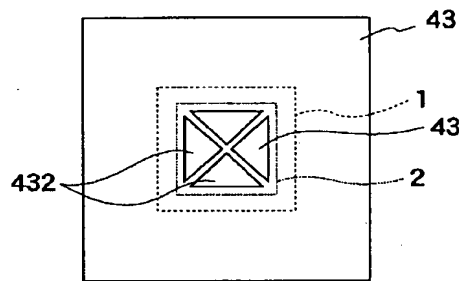


(a)

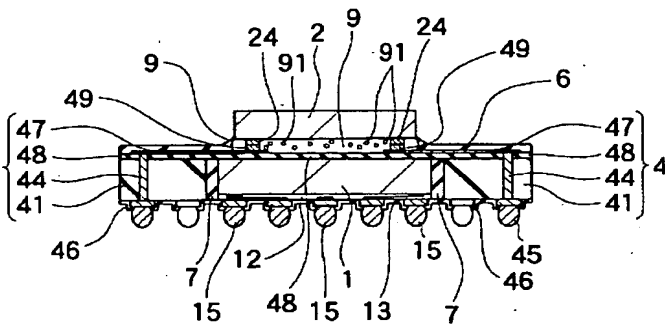
【図3】



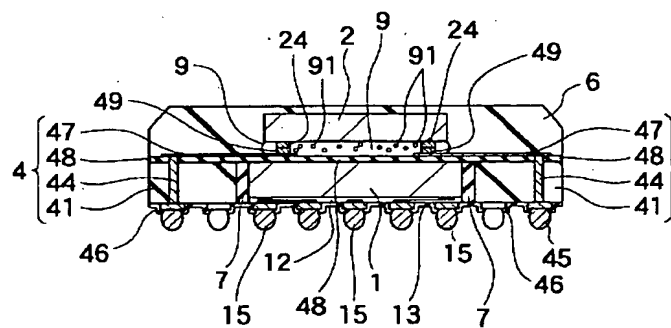
【図5】



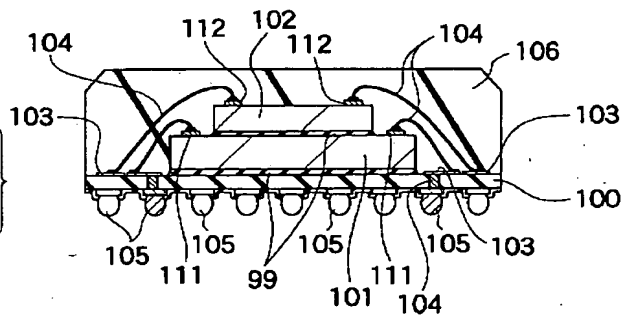
(b)



【図4】



【図7】





**Japanese Patent Publication Laid-Open No. 2001-094045**

**[Claim(s)]**

[Claim 1] 1st IC chip which was exposed outside by having made into the component side the main front-face side in which an electrode pad is prepared, and arranged the external terminal, 2nd IC chip by which a laminating is carried out to the rear face to the main front face of said 1st IC chip through an insulating member, The wiring substrate about said 2nd IC chip prepared around said 1st IC chip, The semiconductor device characterized by providing the external terminal of said 2nd IC chip prepared in the component-side side of said wiring substrate, and the closure member which closes said 2nd IC chip and an electrical installation configuration with said the wiring substrate.

[Claim 2] Said insulating member is a semiconductor device according to claim 1 characterized by including adhesives.

[Claim 3] Said insulating member is a semiconductor device according to claim 1 or 2 characterized by including the thin film of the shape of a film which has the electric conduction pattern which bears the electrical installation of said 2nd IC chip and said wiring substrate to the predetermined field of said wiring substrate.

[Claim 4] Said insulating member is a semiconductor device according to claim 1 or 2 characterized by having extended in the rear-face boundary region of said 1st IC chip at least including the thin film of the shape of a film which has the electric conduction pattern which bears the electrical installation of said 2nd IC chip and said wiring substrate to the predetermined field of said wiring substrate.

[Claim 5] 1st IC chip which was exposed outside by having made into the component side the main front-face side in which an electrode pad is prepared, and arranged the external terminal, 2nd IC chip by which a laminating is carried out to the rear face to the main front face of said 1st IC chip through an insulating member, The semiconductor device characterized by providing the wiring substrate which is formed around said 1st IC chip and has an electrical installation configuration with said 2nd IC chip, and the external terminal of said 2nd IC chip prepared in the component-side side of said wiring substrate.

[Claim 6] The electrical installation configuration with said 2nd IC chip at least is a semiconductor device according to claim 5 characterized by being covered with an insulating protection member.

**[Detailed Description of the Invention]**

**[0001]**

[Field of the Invention] Especially this invention is applied to CSP (Chip Size Package) of stack TOTAIPU, and relates to the semiconductor device which requires thin form

package-ization of Laminating IC.

[0002]

[Description of the Prior Art] A miniaturization is required also for a semiconductor package with high integration of a semiconductor integrated circuit, and miniaturization. It is the useful structure of the component-side product of CSP (Chip Size Package) being small, and satisfying the above-mentioned demand in it.

[0003] It is one of the configurations of that CSP of stack TOTAIPU also attracts attention as high accumulation IC. Drawing 7 is the sectional view showing the configuration of CSP of stack TOTAIPU in the former. On the main front face of the base base material 100 near a chip size, it is carried in the form where the laminating of the two IC chips 101,102 was carried out through the insulating jointing material 99, respectively. As for the main front face of the base base material 100, two or more electric conduction patterns 103 and beer 104 are formed. The external terminals 105, such as a solder ball connected with each beer 104, prepare in the rear face of the base base material 100, and it is \*\*\*\*\*.

[0004] As for the electrode pad 111,112 and the base base material 100 of the laminating IC chip 101,102, suitable electrical installation is made by the bonding wire (gold streak) 104 at the main front-face side of the base base material 100. That is, the IC chip 102 had the magnitude which does not lap with the electrode pad 111 prepared around the IC chip 101, and has fixed through the jointing material 99 on 1st IC chip. The closure of these laminatings IC chip 101,102 and the electrical installation configuration is carried out with closure resin 106, and they are package-ized.

[0005]

[Problem(s) to be Solved by the Invention] Conventionally, as described above, in CSP of stack TOTAIPU, it is the laminated structure of the jointing material 99 which fixes the base base material 100 which forms a component side, the 1st IC chip 101, the 2nd IC chip 102, and these. The thickness of a semiconductor package is given depending on this laminated structure.

[0006] However, the thickness of the above-mentioned semiconductor package is important [ a pocket device etc. ], when mounted, and a miniaturization and thin shape-ization are desired. In this case, the measures which form the whole package, such as shaving contraction-izing of the base base material 100 and thin-film-izing, and each IC chip 101,102 within the limits of dependability, into a thin form are taken.

[0007] However, the base base material 100 needs the technique in which contraction-izing and thin-shape-izing are high, because of the complexity of the electric conduction pattern about both the IC chip 101,102. Moreover, since IC chip is shaved and it is made thin, it becomes easy to damage IC chip. This becomes difficult from the handling of the production

process before a package, and a facility also requires modification.

[0008] However, it will come to a limitation, without the ability also of effectiveness with so remarkable thin-shape-izing of a package taking out such a policy at all. That is, the present condition is that the miniaturization of a package and thin shape-ization are not progressing comparatively [ with large dependability fall on a production process and cost high risk ] about SUTAKKUTO CSP.

[0009] This invention was made in consideration of the above-mentioned situation, and the technical problem is in offering the semiconductor device with which the miniaturization of a package and thin shape-ization are attained, maintaining high-reliability by modification of the package gestalt in CSP of stack TOTAIPU about each IC chip which carries out a laminating.

[0010]

[Means for Solving the Problem] 1st IC chip which was made to expose the semiconductor device of this invention outside by having made into the component side the main front-face side in which an electrode pad is prepared, and arranged the external terminal, 2nd IC chip by which a laminating is carried out to the rear face to the main front face of said 1st IC chip through an insulating member, The wiring substrate about said 2nd IC chip prepared around said 1st IC chip, It is characterized by providing the external terminal of said 2nd IC chip prepared in the component-side side of said wiring substrate, and the closure member which closes said 2nd IC chip and an electrical installation configuration with said the wiring substrate.

[0011] According to this invention, IC chip of the above 1st serves as only the closure of IC chip of the above 2nd, without carrying out the closure. A wiring substrate should take into consideration only wiring about 2nd IC chip. The above-mentioned closure member serves as thin formation, and the same thickness as 1st IC chip is obtained, and the above-mentioned wiring substrate is satisfactory also in reinforcement. Moreover, the closure of the 2nd whole IC chip can also be considered as the configuration which is not necessarily important by covering an electrical installation configuration with 2nd IC chip by the protection member at worst.

[0012]

[Embodiment of the Invention] Drawing 1 is the sectional view showing CSP of stack TOTAIPU concerning the 1st operation gestalt of this invention. The IC chip 1 is exposed outside by making into a component side the main front-face side in which it is a flip chip gestalt (face down gestalt), and an electrode pad is prepared. That is, a pad 14 is formed on an insulator layer (solder resist) 13 through the wiring field 12, and the external terminal 15 is formed in each pad 14. Moreover, the laminating of the IC chip 2 is carried out through the

insulating jointing material 3 on the rear face of the IC chip 1.

[0013] The wiring substrate 4 about the IC chip 2 is formed around the above-mentioned IC chip 1. The wiring substrate 4 contains the insulating film 43 accompanied by the electric conduction pattern 42 in the base base material 41 and its upper part. Specifically, the insulating film 43 has extended and fixed even to the rear-face boundary region of the IC chip 1 at least. The predetermined part of the electric conduction pattern 42 is connected by pad 21 each and the bonding wire 5 on an IC chip 2 main front face.

[0014] Moreover, the wiring substrate 4 is accompanied by two or more beer, 44. The external terminal 45 of the IC chip 2 is formed in the component-side side of the wiring substrate 4. That is, the electric conduction pattern 42 of the wiring substrate 4 is connected with the external terminal 45 through beer 44. It is covered by the insulator layer (solder resist) 46 except the pad connected to the external terminal 45.

[0015] The closure member 6 is carrying out the hermetic seal of the electrical installation side side of the IC chip 2 and the wiring substrate 4 containing the above-mentioned IC chip 2 and a bonding wire 5. Moreover, it fills up with the insulating member 7 between the IC chip 1 and the wiring substrate 4.

[0016] According to the above-mentioned configuration, the IC chip 1 is formed in the center of the closure member 6 lower part among laminating chips, without carrying out the closure. thereby, conventionally, from a configuration, the above-mentioned closure member 6 is boiled markedly, serves as thin formation, and brings high-reliability to a hermetic seal. A closure member ingredient can also be saved and it is economical.

[0017] Furthermore, the thickness of the wiring substrate 4 comes to have sufficient reinforcement depending on the thickness of the IC chip 1. And the thickness of equipment on the whole is not influenced. Moreover, the wiring substrate 4 should take into consideration only wiring about the IC chip 2. Thereby, while the degree of freedom of wiring in the wiring substrate 4 increases, it contributes to improvement in electrical characteristics. Moreover, since a bonding wire 5 can also be stretched low and short unlike the conventional laminating IC, it is rich in dependability and improvement in electrical characteristics can be aimed at.

[0018] In addition, with the operation gestalt of drawing 1 , although it filled up with the insulating member 7 between the IC chip 1 and the wiring substrate 4, the IC chip 1 and the wiring substrate 4 are constituted without a clearance, and there may not be an insulating member 7. You may make it an insulating member 7 exist as ultra-thin adhesives at this time.

[0019] Moreover, the IC chip 2 must not necessarily be so smaller than the IC chip 1 as a configuration before. It is because the pad of the IC chip 1 is in a component-side side. Moreover, the insulating film 43 extends only in the rear-face boundary region of the IC chip

1, and although near the rear-face center of the IC chip 1 had prepared and fixed only insulating one, it is not restricted to this. The insulating film 43 may extend even near the rear-face center of the IC chip 1.

[0020] For example, the insulating film 43 as shown in drawing 2 (a) and (b) may be constituted. The broken line shows each IC chips 1 and 2. That is, in the insulating film 43, apertures 431 (refer to drawing 2 (a)) or 432 (refer to drawing 2 (b)) etc. are formed in the field which the IC chip 2 fixes. Thereby, the jointing material 3 shown in drawing 1 pastes up the IC chips 1 and 2 through apertures 431 or 432. Consequently, the IC chips 1 and 2 and the insulating film 43 realize a firm-fixing condition.

[0021] Drawing 3 is the sectional view showing CSP of stack TOTALPU concerning the 2nd operation gestalt of this invention. The same sign is given to the same part as the 1st operation gestalt. A different configuration compared with the 1st operation gestalt of drawing 1 is having also made the IC chip 2 into the flip chip gestalt (face down gestalt).

[0022] The insulating film 48 about the wiring substrate 4 to which the electric conduction pattern 47 was attached is formed by the rear-face top of the IC chip 1 of a flip chip gestalt through the jointing material which is not illustrated. The predetermined part of the electric conduction pattern 47 is connected with projection electrode 23 each prepared through the wiring field 22 of an IC chip 2 main front face. The protection member 8 of insulation [ field / of this IC chip 2 and the insulating film 48 / opposite ] is formed.

[0023] Moreover, the wiring substrate 4 is accompanied by two or more beer 44 like said 1st operation gestalt. The external terminal 45 of the IC chip 2 is formed in the component-side side of the wiring substrate 4. That is, the electric conduction pattern 47 is connected with the external terminal 45 through beer 44. It is covered by the insulator layer (solder resist) 46 except the pad connected to the external terminal 45.

[0024] The closure member 6 is carrying out the hermetic seal of the electrical installation side side with the IC chip 2 and the wiring substrate 4 like the above-mentioned 1st operation gestalt. Moreover, it fills up with the insulating member 7 between the IC chip 1 and the wiring substrate 4. For example, although not illustrated, there is almost no clearance between the IC chip 1 and the wiring substrate 4, and you may make it an insulating member 7 exist as ultra-thin adhesives.

[0025] By the above-mentioned configuration as well as the 1st operation gestalt, the IC chip 1 is formed in the center of the closure member 6 lower part among laminating chips, without carrying out the closure. The thickness of the wiring substrate 4 comes to have sufficient reinforcement depending on the thickness of the IC chip 1. And the thickness of equipment on the whole is not influenced. That what is necessary is to take into consideration only wiring about the IC chip 2, it is contributed to improvement in electrical characteristics while

the degree of freedom of the wiring substrate 4 of wiring increases.

[0026] Moreover, the IC chip 2 must not necessarily be so smaller than the IC chip 1 as a configuration before. And the IC chip 2 by which a resin seal is carried out is a face down gestalt, and the closure which excluded the allowances of the loop-formation height of the bonding wire 5 in the configuration of drawing 1 is possible for it. Thereby, the above-mentioned closure member 6 can expect still thinner formation compared with the 1st operation gestalt.

[0027] Moreover, it is good by having made the IC chip 2 into the face down gestalt also as a configuration with which the closure member 6 is changed into the hermetic seal configuration of a dropping method, or the wiring substrate 4 top only covers a protective coat. This contributes also to lightweight-ization.

[0028] Drawing 4 is the sectional view showing CSP of stack TOTAIPU concerning the 3rd operation gestalt of this invention. The same sign is given to the same part as the 2nd operation gestalt. A different configuration compared with the 2nd operation gestalt of drawing 2 is that the IC chip 2 of a flip chip gestalt (face down gestalt) is connected with the electric conduction pattern 47 by the anisotropy electric conduction film (ACF (Anisotropic Conductive Film)) 9.

[0029] The insulating film 48 about the wiring substrate 4 to which the electric conduction pattern 47 was attached is formed by the rear-face top of the IC chip 1 of a flip chip gestalt through the jointing material which is not illustrated. The projection electrode 49 is formed in the predetermined part of the electric conduction pattern 47, and projection electrode 24 each and ACF9 which were formed in the pad of an IC chip 2 main front face connect.

[0030] The conductive particle 91 is distributed in the film-like epoxy resin, and switch-on is obtained because the gap becomes below the grain shape of the conductive particle 91, and as for others, only the predetermined flow part of ACF9 which puts the conductive particle 91 has the property which will be in an insulating condition. That is, ACF9 is formed in the opposite field of the IC chip 2 and the insulating film 48. Alignment of the projection electrode 49 and the projection electrode 24 of the IC chip 2 which were formed in the electric conduction pattern 47 on the insulating film 48 is carried out, respectively, and it passes through pressurization/heating process by the crimping tool which is not illustrated. Thereby, the amount of [ of each electrodes (24 and 49) of the IC chip 2 and the electric conduction pattern 47 ] jointing acquires good conductivity by the conductive particle 91 in ACF9.

[0031] Moreover, the wiring substrate 4 is accompanied by two or more beer 44 like said 1st and 2nd operation gestalt. The external terminal 45 of the IC chip 2 is formed in the component-side side of the wiring substrate 4. That is, the electric conduction pattern 47 is

connected with the external terminal 45 through beer 44. It is covered by the insulator layer (solder resist) 46 except the pad connected to the external terminal 45.

[0032] The closure member 6 is carrying out the hermetic seal of the electrical installation side side with the IC chip 2 and the wiring substrate 4 like the above-mentioned 1st and 2nd operation gestalt. Moreover, it fills up with the insulating member 7 between the IC chip 1 and the wiring substrate 4. For example, although not illustrated, there is almost no clearance between the IC chip 1 and the wiring substrate 4, and you may make it an insulating member 7 exist as ultra-thin adhesives.

[0033] By the above-mentioned configuration as well as the 1st and 2nd operation gestalt, the IC chip 1 is formed in the center of the closure member 6 lower part among laminating chips, without carrying out the closure. The thickness of the wiring substrate 4 comes to have sufficient reinforcement depending on the thickness of the IC chip 1. And the thickness of equipment on the whole is not influenced. That what is necessary is to take into consideration only wiring about the IC chip 2, it is contributed to improvement in electrical characteristics while the degree of freedom of the wiring substrate 4 of wiring increases.

[0034] Moreover, the IC chip 2 must not necessarily be so smaller than the IC chip 1 as a configuration before. And the IC chip 2 by which a resin seal is carried out is a face down gestalt, and can expect still thinner formation like the configuration of the 2nd operation gestalt compared with the 1st operation gestalt.

[0035] Moreover, it is good also as a configuration with which the closure member 6 is changed into the hermetic seal configuration of a dropping method, or the wiring substrate 4 top only covers a protective coat by having made the IC chip 2 into the face down gestalt by connection by ACF.

[0036] Drawing 5 is the sectional view showing CSP of stack TOTAIPU concerning the modification of the 3rd operation gestalt. The same sign is given to the same part as the 3rd operation gestalt. The IC chip 2 is connected with the electric conduction pattern 47 by the anisotropy electric conduction film (ACF (Anisotropic Conductive Film)) 9 like the 3rd operation gestalt. The electrical installation configuration with the IC chip 2 is covered by the insulating protection member 61 on the wiring substrate 4. Thereby, the closure member 6 shown in drawing 3 is made unnecessary. Such a configuration is applicable also to the configuration of said drawing 2 , as said 2nd operation gestalt described. Thereby, the closure of the IC chip 2 whole will become not necessarily important, and can realize the configuration which contributes to lightweight-ization more.

[0037] Drawing 6 is the top view showing the important section by the side of the component side of the semiconductor package concerning the 1st thru/or the 3rd operation gestalt (a modification is included). Thus, according to each operation gestalt of this invention, it is

conventionally prepared in the center of the closure member 6 lower part, without carrying out the closure of the IC chip 1 by the side of the lower layer of a laminating IC chip unlike a configuration, the external terminal 15 is arranged, and the circumference is the external terminal 45 arranged by the wiring substrate 4 about the IC chip 2.

[0038] By taking such a configuration, a risk, such as shaving thin-film-izing of the base base material in the conventional technique and each IC chip, can be mitigated sharply, and thickness as a semiconductor package can be made thin. In addition, leading about of internal wiring and the derivation to an external terminal are simplified. What is necessary is temporarily, just to wire on a mounting substrate, when requiring association between the pads of a laminating IC chip. Consequently, a compacter semiconductor package is realizable with a thin shape, having high-reliability.

[0039]

[Effect of the Invention] As explained above, according to this invention, in the laminating IC chip in CSP of stack TOTAIPU, downward IC chip is not closed but serves as only the closure of upper IC chip. Moreover, upper IC chip can also be considered as the configuration which does not not necessarily have the need by the whole closure at worst by covering the electrical installation configuration of upper IC chip and a wiring substrate by the protection member. This contributes to lightweight-ization.

[0040] A closure member serves as thin formation, and thickness equivalent to downward IC chip is obtained, and the above-mentioned wiring substrate of the wiring substrate arranged on the outskirts of IC chip of a lower part is [ that what is necessary is to take into consideration only wiring about upper IC chip ] satisfactory also in reinforcement. Consequently, the semiconductor device with which the miniaturization of a package and thin shape-ization are attained can be offered, maintaining high-reliability about each IC chip which carries out a laminating.

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing CSP of stack TOTAIPU concerning the 1st operation gestalt of this invention.

[Drawing 2] It is the top view showing the important section configuration concerning some [ in the 1st operation gestalt ] modifications.

[Drawing 3] It is the sectional view showing CSP of stack TOTAIPU concerning the 2nd operation gestalt of this invention.

[Drawing 4] It is the sectional view showing CSP of stack TOTAIPU concerning the 3rd operation gestalt of this invention.

[Drawing 5] It is the sectional view showing CSP of stack TOTAIPU concerning the modification of the 3rd operation gestalt of this invention.



[Drawing 6] It is the top view showing the important section by the side of the component side of the semiconductor package concerning the 1st operation gestalt thru/or the 3rd operation gestalt (modification \*\*\*\*).

[Drawing 7] It is the sectional view showing the configuration of CSP of stack TOTAIPU in the former.

[Description of Notations]

- 1 2 -- IC chip
- 11, 14, 21 -- Pad
- 12 22 -- Wiring field
- 13 46 -- Insulator layer
- 15 -- External terminal
- 17 -- Insulating member
- 23, 24, 49 -- Projection electrode
- 3 -- Jointing material
- 4 -- Wiring substrate
- 41 -- Base base material
- 42 47 -- Electric conduction pattern
- 43 48 -- Insulating film
- 44 -- Beer
- 45 -- External terminal
- 5 -- Bonding wire
- 6 -- Closure member
- 61 8 -- Protection member
- 9 -- ACF (anisotropy electric conduction film)
- 91 -- Conductive particle